

基于 NiosII 的低码率实时 H.264 视频编码器

作者：杨超、张玲、何伟

单位：重庆大学

引言

H.264 标准作为新一代视频编码标准，是面向多比特率的视频编码标准，也称 JVT / AVC 标准，既可用于高码率的 HDTV 和数字存储系统，也可用于低码率的实时通信系统。在相同的图像质量情况下，H.264 比 H.263 和 MPEG — 4 可以节省 20%~50% 的码率。就其基本档次而言，编码器的复杂度是 H.263 的 10 倍左右。H.264 良好的网络亲和性和优异的压缩性能使其成为视频应用的首选，但其巨大的运算量成为许多应用的瓶颈。笔者基于 NiosII 设计了一种低码率实时应用的编码系统。该系统充分利用 FPGA 的并行设计结构，对视频数据采用高压缩比的 H.264 标准编码，能很好地满足低码率实时编码的要求。

1、H.264 编码系统结构设计

根据 H. 264 / AVC 编码器原理及结构，同时考虑到现有硬件资源的限制以及该设计的应用需求，设计了图 1 所示的 H.264 / AVC 编码系统结构。

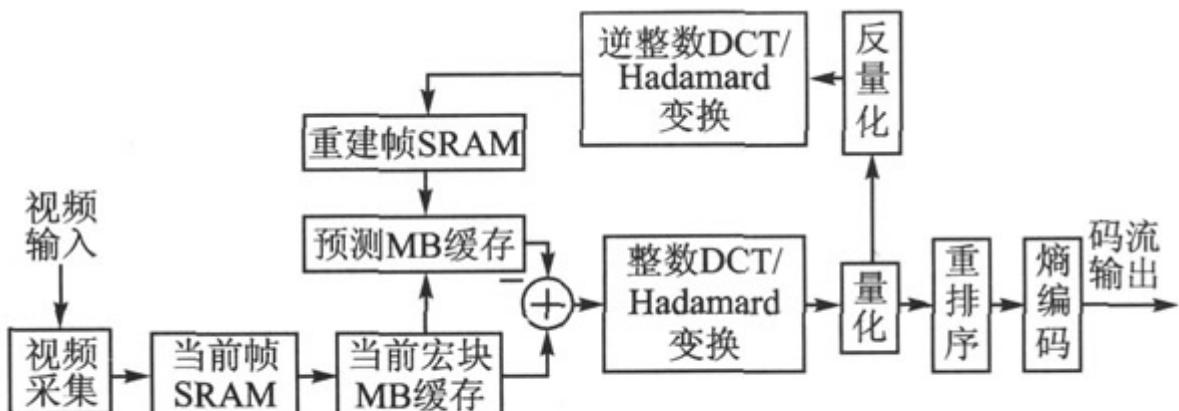


图 1 H.264/AVC 编码系统框图

摄像头摄入的视频图像首先经过视频采集模块处理，并将当前帧的图像数据存入 SRAM。然后，以宏块 MB(macroblock)为单元，从 SRAM 中读取原始图像，并根据 MB 所在图像帧内的位置，读取重建帧中的参考像素进行帧内预测，并将

预测宏块与当前宏块像素做差即可得到预测残差。接下来，对残差图像进行整数 DCT 变换或 Had—amard 变换，并对变换输出进行量化。量化输出的残差图像一方面通过反变换和反量化处理生成重建图像供帧内预测作为参考，另一方面经过重排序、熵编码处理得到最终的图像压缩码流输出。

根据 H. 264 / AVC 标准，将所设计的整个编码系统从结构上划分为图像采集、帧内预测、变换量化、熵编码等几个主要部分。各个模块之间通过流水线的方式进行处理，可以有效地提高硬件的执行效率。

2、基于 Cyclone II FPGA 的 H.264 编码器的实现

系统采用 SOPC 的设计方式，主要由视频采集模块、NiosII 处理器系统组成。采用 Altera 公司的 DE2 开发板为开发平台，将视频采集、NiosII 处理器集成到一个 SOPC 系统中。其中 NiosII 处理器系统要承担图像采集控制、图像的 H.264 压缩编码工作。为了保证实时性，在充分分析 H.264 软件算法运行时间后，采用自定义模块对 H.264 编码器关键算法进行硬件加速。

2.1 视频采集模块

视频采集是视频图像处理、传输的前提，采集到的数字视频图像好坏将直接影响到视频处理的结果。图 2 给出了图像处理系统的视频采集结构。

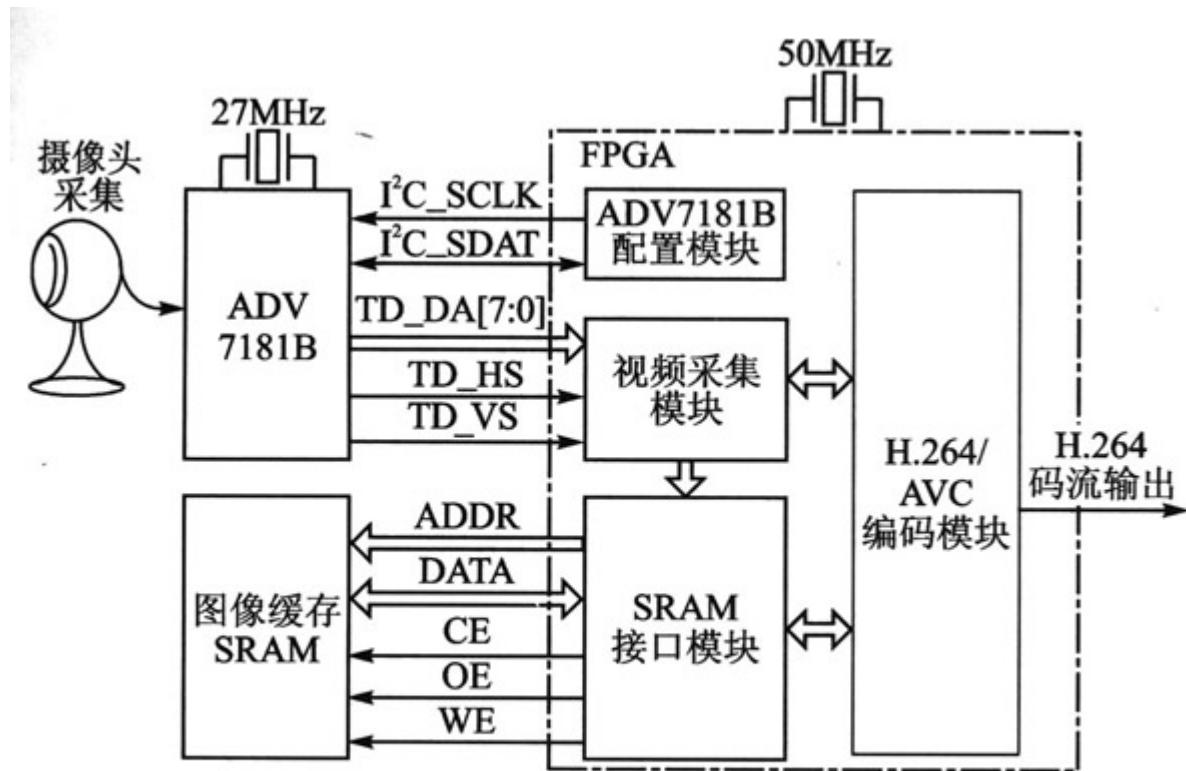


图 2 视频采集模块结构功能示意图

ADI 公司的多制式视频解码芯片 ADV7181B 对采集的视频图像进行模数转换。ADV7181B 可以自动检测诸如 NTSC、PAL 和 SEC0M 制式的基带视频信号，并将其转换为基于 4: 2: 2 取样的 16 / 8 位兼容的 CCIR601 / CCIR656 格式的数字视频信号；具有 6 路模拟视频输入端口，且采用单一的 27 MHz 晶振时钟输入；用户可以通过两线的 I2C 接口对 ADV7181B 的工作模式进行配置。

系统上电时，首先使用 I2C 模块对 ADV7181B 的内部寄存器进行配置。由于摄像头输出的是 PAL 制式的模拟视频信号，因此需要相应地将 ADV7181B 配置为 PAL 制式的模拟视频信号输入，并将其转换为 CCIR656 格式的数字视频信号。ADV7181B 将转换得到的实时数字视频图像的亮度信号、色度信号(TD_DAT)以及行、场同步信号(TD_HS / VS)同时输入到 FPGA 芯片中，通过图像采集模块提取需要的数字图像信息，并将其转存至 AlteraDE2 开发板提供的具有 512 KB 存储容量的 SRAM 中，用于缓存待处理图像帧。

下面介绍图像采集模块的设计与实现方法。

根据上面对视频采集部分硬件结构的分析，设计了图 3 所示的视频采集模块

结构框图。可以看出，图像采集模块主要包含图像提取、色度取样率变换、Y / Cb / Cr 图像分量分离以及图像缓存 SRAM 读写控制等单元。

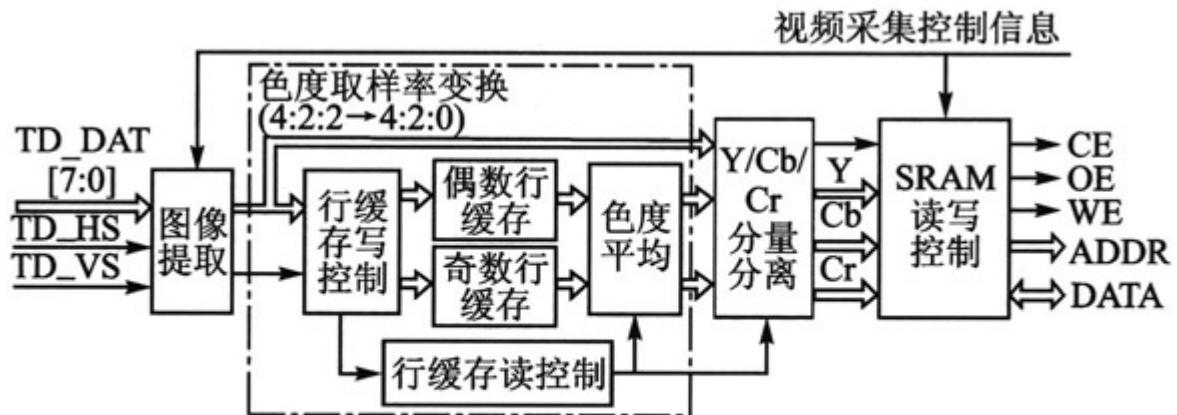


图 3 视频采集模块结构框图

其中图像提取子模块在 H.264 / AVC 编码模块的视频采集控制信息的控制下，从 ADV7181B 转换输出的 PAL 制数字视频图像中提取需要的图像数据。摄像头采集的实际图像大小为 768×576 像素的隔行扫描视频输入信号，其中基数场和偶数场在时间上先后输入。由于系统处理的图像大小为 320×240 像素，因此需要对输入的数字视频进行截取，以满足系统的处理要求。

考虑到在一帧图像中的顶场与底场数据差异不大，因此在对图像进行截取时，仅对底场中间 240 行的连续 320 个相邻像素点进行提取，以输出 320×240 像素的视频图像数据。其具体提取流程如图 4 所示。

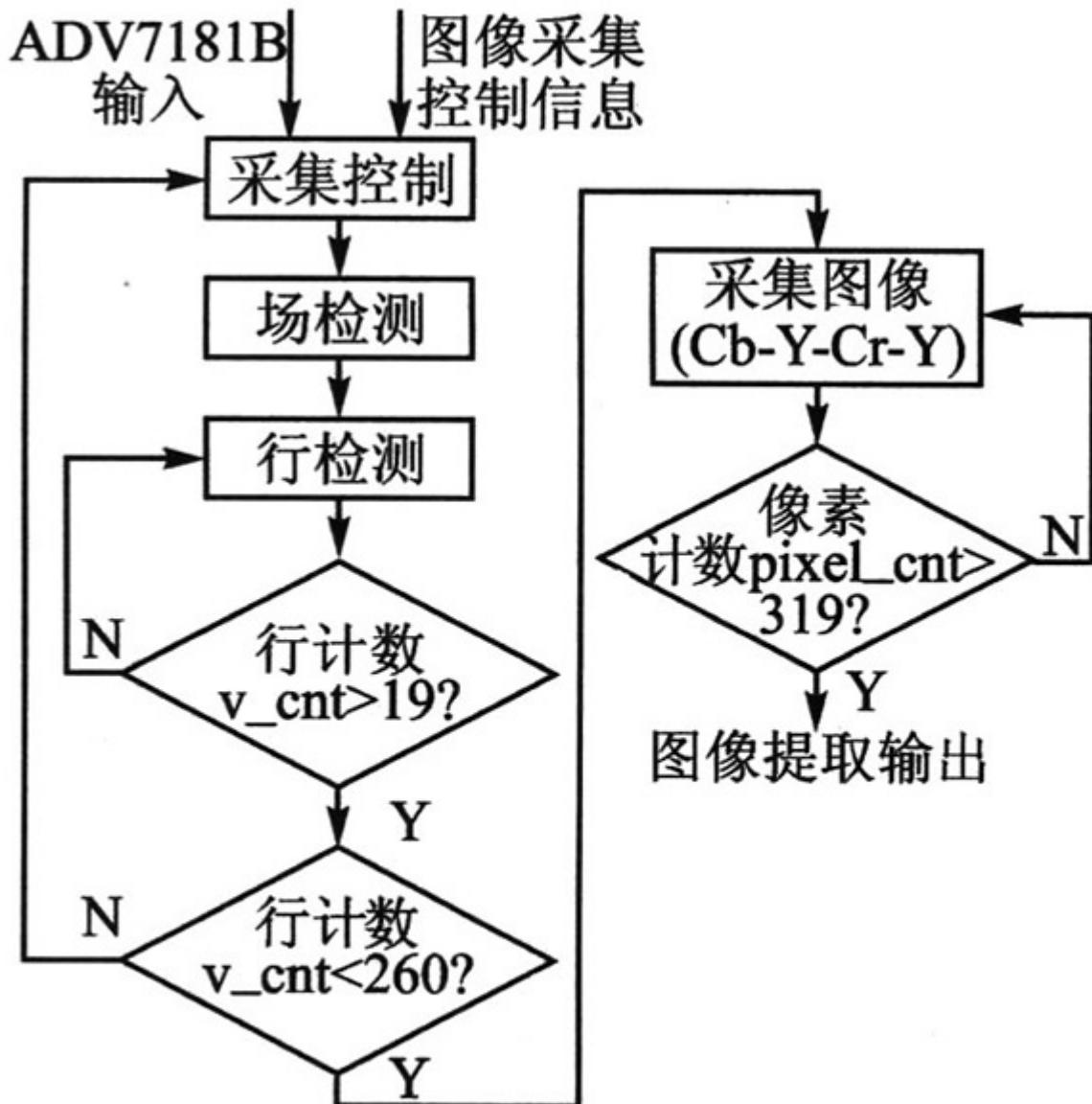


图 4 图像提取流程

H.264 / AVC 支持对色度取样为 4: 2: 0 格式的逐行或隔行扫描数字图像进行处理，因此需要对提取的数字图像进行色度取样率变换。通过对相邻奇数行和偶数行的色度图像分量进行简单的平均，可实现由 4: 4: 4 向 4: 2: 0 的色度取样率变换，如图 5 所示。

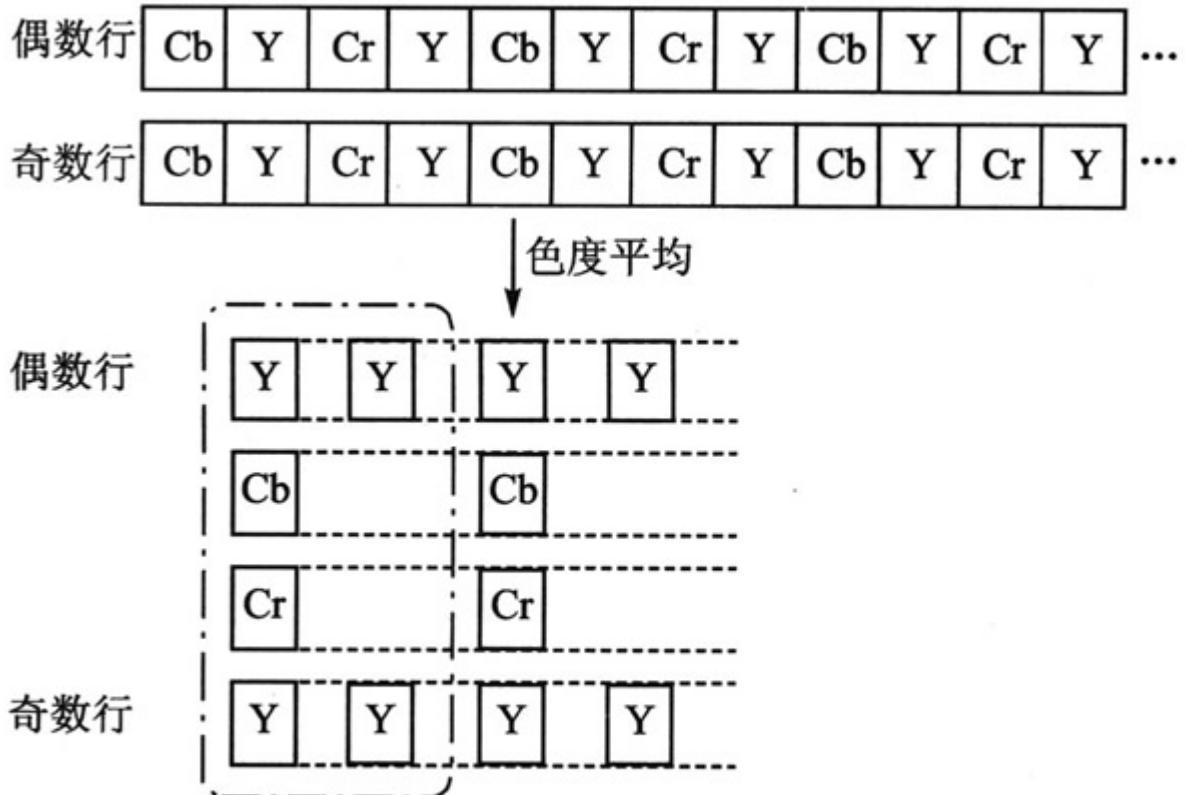


图 5 色度取样率变换示意图

经过取样率变换后的图像数据需要根据 Y / Cb / Cr 图像类型在 SRAM 中分片区缓存，以方便后续的 H_264 的编码处理。图 6 给出了实际图像的色度分量在取样率变换前后的效果。

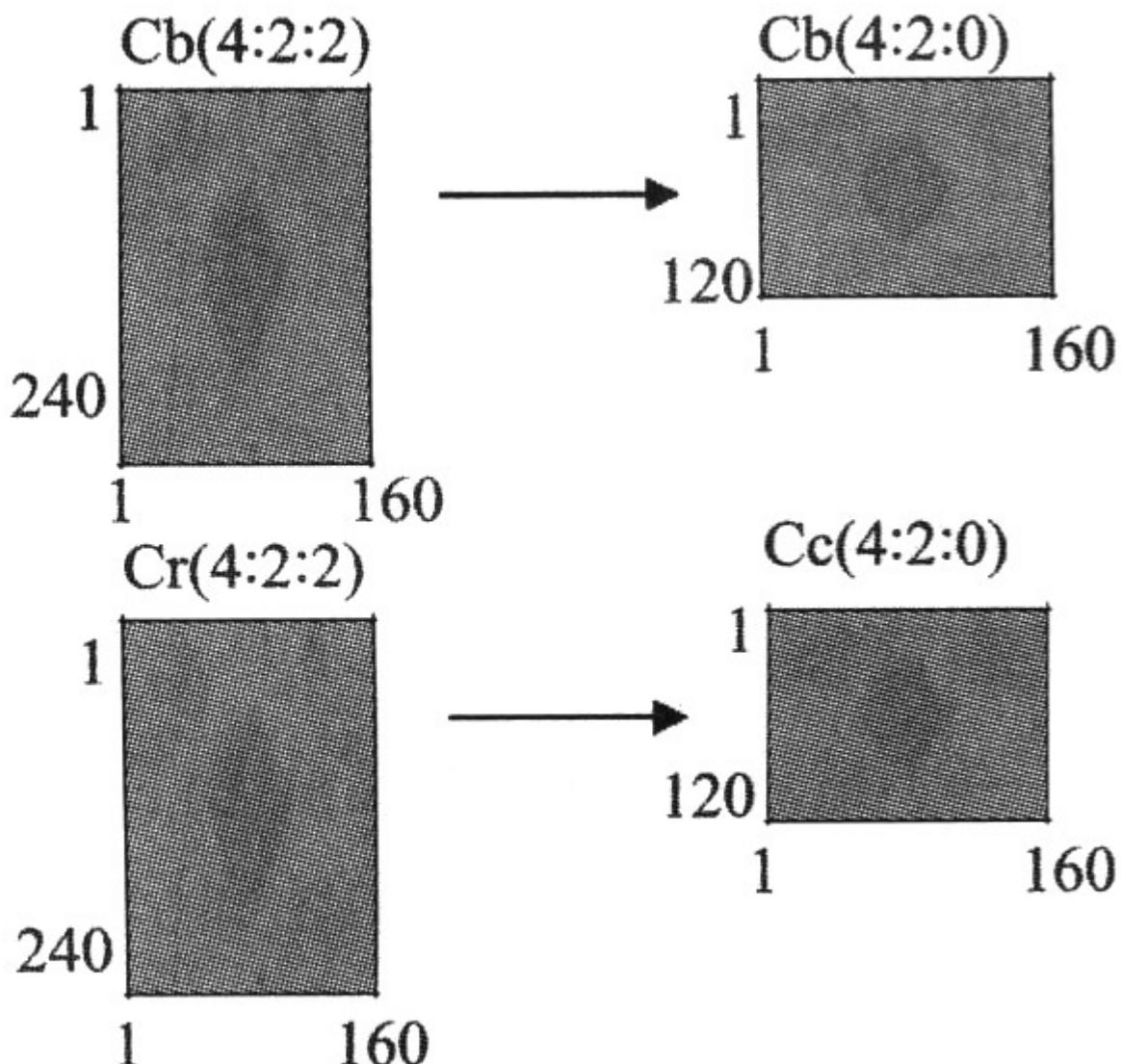


图 6 色度取样率变化前后的对比

2.2 H.264 编码器核心模块

综合现有的硬件资源、实时性与实现难度等因素，设计中仅采用了帧内预测方式，编码器包括帧内预测模块、变换量化模块和 CAVLC 熵编码模块。处理时以宏块(16×16)为单位，亮度和色度块分别进行帧内预测、变换量化和反变换反量化，然后进行 CAVLC 熵编码，图像的亮色比为 $Y: U: V=4: 2: 1$ 。

H.264 编码器设计前期先用 VC++ 在 PC 机上实现，后期移植到 FPGA 上用

自定义硬件模块实现，二者所需时间如表 1 所列。可以看出，用硬件实现 H.264 压缩编码一帧图像只需约 16 ms，较 PC 机实现有很大提高，而且硬件模块占用的资源不到 50%，性价比较高。

表 1 软硬件实现算法编码所需时间对比

类 型	亮度宏块 时间/ μ s	色度 Cb 宏块 时间/ μ s	色度 Cr 宏块 时间/ μ s)	一帧图像 时间/ μ s
PC 机软件	225.264	74.191	54.455	106.673
硬件模块	29.302	12.455	9.523	16.283

由于自定义帧内预测硬件模块较软件实现对系统性能提高较大，这里重点分析帧内预测模块硬件结构设计。

根据 H.264 帧内预测算法，帧内预测模块是在非率失真优化模式下设计的。它通过接口模块从 SDRAM 中读入一个 MB(16×16)的亮度和色度图像数据，在亮度和色度预测模块中对当前 MB 进行预测和预测模式选择，输出预测残差及最佳预测模式；同时将预测结果与经过反 DCT 变换和反量化之后的残差值相加，经重构模块补偿重构后写回 SDRAM。主要结构如图 7 所示，整个模块分为 4 个子模块：接口模块、亮度预测、色度预测和图像重构模块。

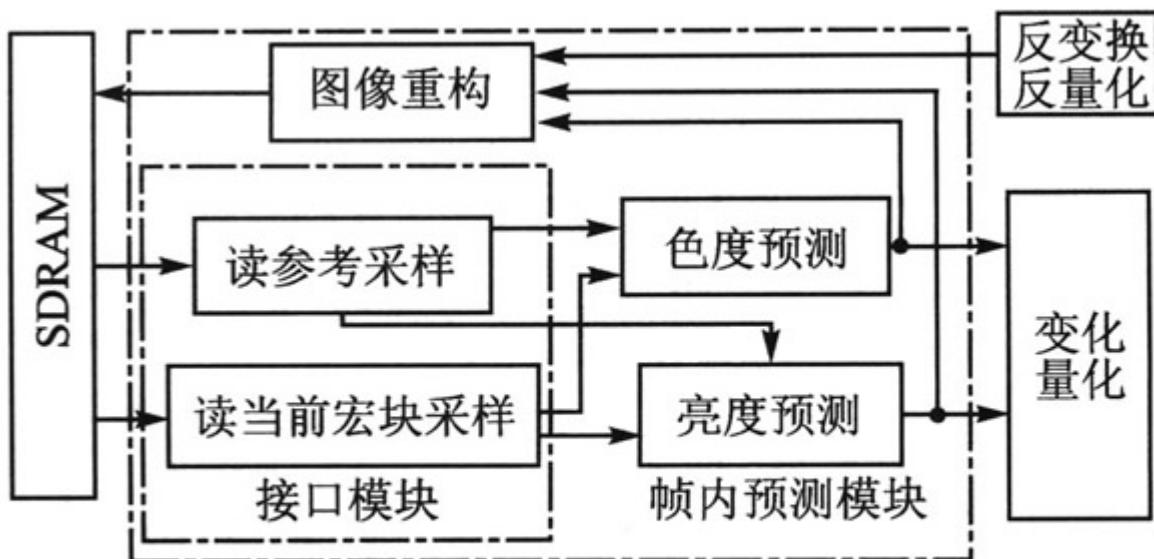


图 7 帧内预测模块结构

接口模块中设计了 4 个 RAM，用于存放读入的原始图像和用于预测的参考图像数据：RAM0 存放亮度预测像素，深度 32，地址 0~15 存放上侧预测参考像素，地址 16~31 存放左侧预测参考像素；RAM1 存放当前宏块亮度原始值，深度为 256；RAM2 存放色度预测参考像素，深度 32，地址 0~7 存放上侧 Cb 预测参考像素，地址 8~15 存放左侧 Cb 预测参考像素，地址 16~23 存放上侧 cr 预测参考像素，地址 24~31 存放左侧 Cr 预测参考像素；RAM3 存放当前宏块色度原始值，深度为 128。

亮度预测模块的内部结构如图 8 所示。

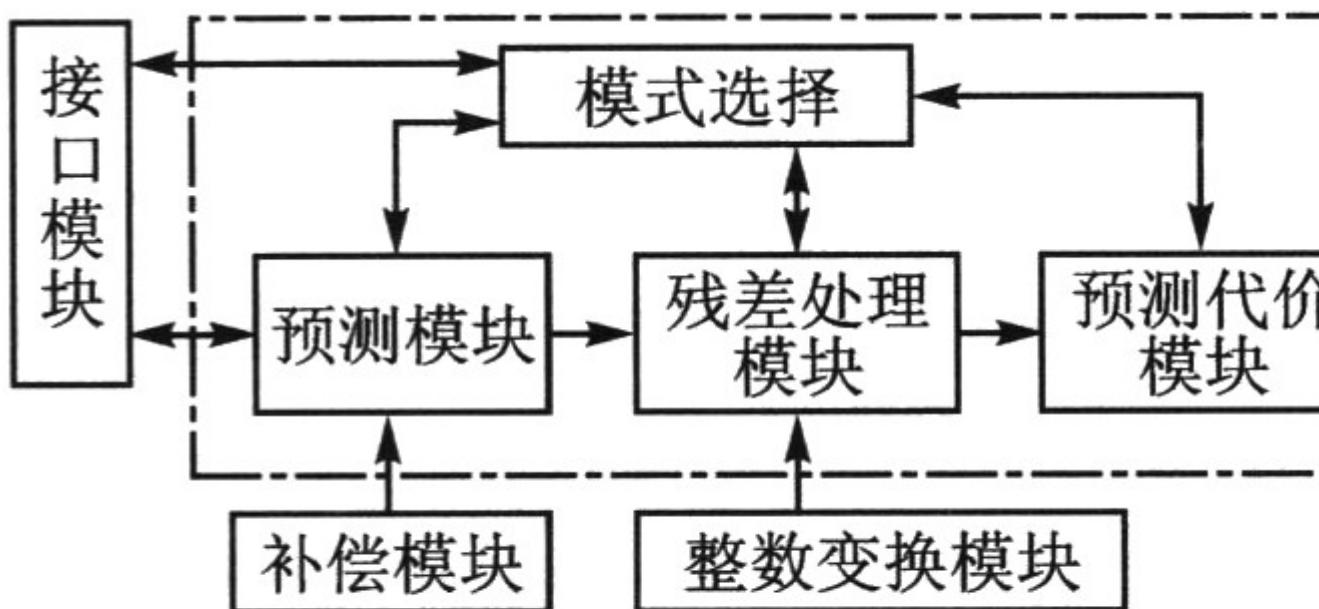


图 8 亮度预测模块结构

①模式选择模块根据当前宏块的预测参考像素可用信息(avail)指定当前宏块按一定顺序做预测，如 avail=“11”表示上侧和左侧预测参考像素均可用，则对当前宏块顺序做 DC、HOR、VERT、PLANE 四种方式预测。在残差处理模块中，采用了 2 个 RAM 顺序保存各种预测模式的预测残差，所以在模式选择模块里会比较当前预测模式的代价函数和前一种预测模式代价函数的大小。如果当前预测模式的代价函数较小，则说明当前预测模式较优，在做下一种模式预测时将预测残差指定保存在上次较差预测模式的残差 RAM 中。当前宏块的可用预测模式都预测结束后，模式选择模块根据每一种模式预测代价函数决定出最优预测模

式，并指出该预测模式对应残差处理模块中存放的 RAM，将相应的残差输入到整数变换模块。

②预测模块包含了 DC、HOR、VERT、PLANE 四种预测模式的实现实体，根据模式选择模块决定的预测模式从接口模块读取预测参考像素和原始像素值，预测后残差输出到残差处理模块，预测值输出到补偿重构模块保存。

③残差处理模块采用 2 个存放残差的 RAM，每个宏块可先并行做 2 种预测，残差分别保存到 2 个 RAM 中，选择其中较佳预测模式，再做下一种预测模式与前面所选较佳预测模式比较，直到完成所有预测模式选择出最佳预测模式。

④预测代价模块是计算每一种预测模式的预测代价，以 4×4 块为单位作 hadamard 变换，将变换后每个 4×4 块 DC 系数再做一次 hadamard 变换，将所有变换结果进行绝对值累加就是对应的预测代价。

色度预测模块结构基本和亮度预测相同，只是由于色度有 Cb、Cr 两个分量，残差在 RAM 中的存放方式略有差别；同一个宏块的色度预测和亮度预测是并行执行的，由于要处理的色度数据比亮度少一半，笔者在后面的整数变换中采用先处理色度，再处理亮度的方法，使得流水更加紧凑，减少等待时间，提高整个模块的运行速度。

3、结论

笔者设计的基于 NiosII 的低码率实时 H.264 视频编码系统，在系统时钟频率 100 MHz 时，压缩一帧 320×240 的彩色图像需 16.283 ms，在量化参数选择 30 时，图像压缩比达到 2%，实时监控图像帧率 25 帧 / s。系统具有资源占用较少，低成本，低码率，高清视频质量的特点，具有较好的发展前景。

图 9 为集成开发环境下综合仿真后系统的资源占用情况。

Revision Name	DE2_NIOS
Top-level Entity Name	DE2_NIOS
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Met timing requirements	No
Total logic elements	23,936 / 33,216 (72 %)
Total registers	13090
Total pins	436 / 475 (92 %)
Total virtual pins	0
Total memory bits	390,656 / 483,840 (81 %)
Embedded Multiplier 9-bit elements	66 / 70 (94 %)
Total PLLs	1 / 4 (25 %)

图 9 系统芯片资源占用情况